

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-283208

(43)Date of publication of application : 29.10.1993

(51)Int.Cl.

H01C 7/10

(21)Application number : 04-112085

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 03.04.1992

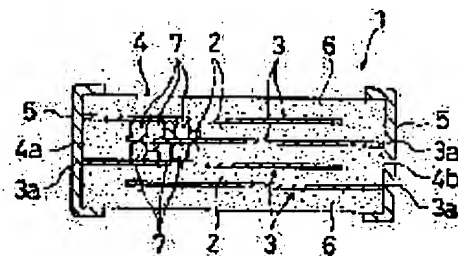
(72)Inventor : NAKAYAMA AKIYOSHI
NAKAMURA KAZUYOSHI
YONEDA YASUNOBU
SAKABE YUKIO

(54) LAMINATED VARISTOR

(57)Abstract:

PURPOSE: To increase a breakdown strength to electrostatic discharging and to increase a reliability when used as a noise-countermeasure component.

CONSTITUTION: At least one pair of internal electrodes 3 are buried in a sintered body 4 so as to overlap each other with a semiconductor ceramic layer 2 put between to obtain a laminated varistor 1. Between the facing internal electrodes 3, at least one ceramic crystal grain 7 is placed so as to be brought into contact with both internal electrodes 3.



LEGAL STATUS

[Date of request for examination] 17.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3186199
[Date of registration]	11.05.2001
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	25.12.2002

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-283208

(43)公開日 平成5年(1993)10月29日

(51)IntCl⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 C 7/10

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-112085

(22)出願日 平成4年(1992)4月3日

(71)出願人 00006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 中山 晃慶

京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内

(72)発明者 中村 和敬

京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内

(72)発明者 米田 康信

京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内

(74)代理人 弁理士 下市 努

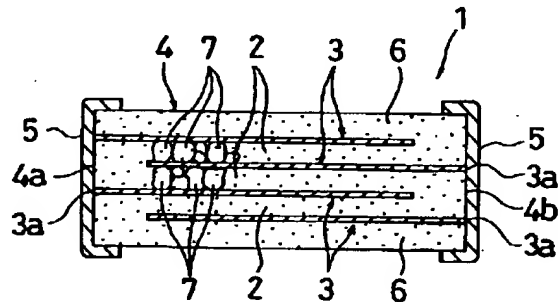
最終頁に続く

(54)【発明の名称】 積層型バリスタ

(57)【要約】

【目的】 静電気放電に対する破壊耐圧を向上でき、ノイズ対策部品として採用する際の信頼性を向上できる積層型バリスタを提供する。

【構成】 焼結体4の内部に少なくとも一対の内部電極3を、電圧非直線特性を発現する半導体セラミクス層2を挟んで重なり合うように埋設して積層型バリスタ1を構成する。そして、互いに対向する上記内部電極3間に、該両内部電極3に接触するセラミクス結晶粒子7を少なくとも1つ以上存在させる。



1

【特許請求の範囲】

【請求項1】 セラミクス焼結体の内部に少なくとも一対の内部電極を、電圧非直線特性を発現する半導体セラミクス層を挟んで重なり合うように埋設してなる積層型バリスタにおいて、上記互いに対向する内部電極間に、該両内部電極に接触するセラミクス結晶粒子を少なくとも1つ以上存在させたことを特徴とする積層型バリスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電圧非直線抵抗体として機能する積層型バリスタに関し、特に静電気放電に対する破壊耐量を向上できるようにした構造に関する。

【0002】

【従来の技術】近年、産業用機器、家電製品、及び通信機器等のあらゆる装置にマイクロコンピュータが搭載されるようになってきている。このマイクロコンピュータが搭載された機器では、半導体素子によるデジタル制御処理が行われることから、静電気放電等の電磁障害に伴う半導体素子の破壊や誤動作が生じるおそれがある。このような機器内部へのEMIノイズの侵入経路は電源部分、及び信号配線部分が多いことから、この電源部、信号配線部の入出力部分に用いられるノイズフィルタの役割が重要視されている。

【0003】このようなノイズフィルタとして、従来、コンデンサ素子、コンデンサとインダクタとの複合系素子、インダクタ素子、あるいはバリスタ素子が用いられている。上記コンデンサ素子を用いた場合は、微小ノイズを除去するという点では優れているものの、静電気放電のような高速、かつ高電圧パルスが侵入するとコンデンサに電荷が蓄積されることから、何回も繰り返し侵入するノイズに対しては十分な吸収能力を示さない。これはインダクタ素子についても同様のことがいえる。また、コンデンサとインダクタとの複合素子の場合は、ホワイトノイズ等の吸収には適しているものの、共振周波数帯のトランジェント・ノイズはそのまま通過させてしまうことから、回路を保護できない。また高電圧ノイズに対しては波形を変えることは可能であるが、大きな波高値を抑えることができない。一方、バリスタ素子を用いた場合は、コンデンサのような電荷の蓄積がないことから、静電気放電や過渡的なサージ電流等のトランジェント・ノイズの吸収には適している。

【0004】また、近年の電子機器の分野においては、小型化、IC化、集積化が急速に進んでおり、これに伴ってバリスタ素子においても実装密度の向上を図るための超小型化、あるいは低電圧化の要求が強くなっている。しかし上記従来のバリスタ素子はディスクタイプが一般的であることから、超小型化、低電圧化の要求には対応できない。このような要求に対応するものとして、ディスク型に代わる積層型バリスタが提案されている

2

(例えば、特公昭58-23921号公報参照)。この積層型バリスタは、半導体セラミクス層と内部電極とを交互に重ねてなる積層体を一体焼結して焼結体を形成し、この焼結体の両端面に上記各内部電極の一端面が接続される外部電極を形成して構成されている。この積層型バリスタによれば、上記半導体セラミクス層の結晶粒子を巨大に成長させることなく内部電極間の粒界数を小さくすることが可能であることから、動作電圧の低電圧化が実現でき、小型化にも対応できる。

10 【0005】

【発明が解決しようとする課題】しかしながら上記従来の積層型バリスタでは、静電気放電に対する破壊耐圧が低く、ノイズ対策部品として採用する際の信頼性が低いという問題がある。例えば、市販されている積層型バリスタは、静電気放電による破壊耐圧は10KVより低いものがほとんどであることから、人体の移動等により発生する15KV程度の静電気放電で破壊し易くなっており、この点での改善が要請されている。

【0006】本発明は上記従来の状況に鑑みてなされたもので、小型化、低電圧化の要求に対応できるとともに、静電気放電に対する破壊耐圧を向上してノイズ対策部品としての信頼性を向上できる積層型バリスタを提供することを目的としている。

【0007】

【課題を解決するための手段】本件発明者らは、従来の積層型バリスタにおいて静電気放電に対する破壊耐圧が低くなっている原因について検討したところ、以下の点を見出した。上記積層型バリスタの電圧非直線特性は、内部電極とセラミクス半導体結晶粒子との接合界面、及び半導体結晶粒子同士の接合界面(結晶粒界)で形成されるショットキー障壁を利用して得られることは周知である。この各結合界面において、静電気放電のような高速、かつ高電圧のパルスを印加した場合のイミューニティは、上記内部電極と結晶粒子との結合界面の方が圧倒的に大きく、結晶粒子同士の結合界面の方は小さいことが判明した。つまり、従来の積層型バリスタは結晶粒子同士の結合界面を多く含んでいることから、それだけ破壊耐圧が低くなっていることを見出した。このことから、結晶粒子同士の結合界面を少なくし、内部電極と結晶粒子との結合界面をできるだけ多くすることによって、静電気放電に対する破壊耐圧を向上できることに想到し、本発明を成したものである。

【0008】そこで本発明は、セラミクス焼結体の内部に少なくとも一対の内部電極を、電圧非直線特性を発現するセラミクス層を挟んで重なり合うように埋設してなる積層型バリスタにおいて、上記互いに対向する内部電極間に、該両内部電極に接触するセラミクス結晶粒子を少なくとも1つ以上存在させたことを特徴としている。

【0009】

【作用】本発明に係る積層型バリスタによれば、内部電

50

極間に、該両内部電極に接触するセラミクス結晶粒子を存在させたので、この両方の内部電極に接触する結晶粒子を多くすることによって、電圧非直線特性を発現する内部電極と結晶粒子との結合界面を増やすことができる。その結果、静電気放電に対する破壊耐圧を向上でき、ノイズ吸収素子としての信頼性を向上できる。

【0010】

【実施例】以下、本発明の実施例を図について説明する。図1及び図2は本発明の一実施例による積層型バリスタを説明するための図である。図において、1は本実施例の積層型バリスタである。このバリスタ1は直方体状のもので、ZnOを主成分とする半導体セラミクス層2とPtからなる内部電極3とを交互に積層するとともに、これの最上部、最下部にダミーとしてのセラミック層6を重ねて積層し、この積層体を一体焼結して焼結体4を形成して構成されている。

【0011】また、上記各内部電極3の一端面3aは焼結体4の左、右端面4a、4bに交互に露出されており、残りの他の端面はセラミック層2の内側に位置して焼結体4内に封入されている。

【0012】さらに上記焼結体4の左、右端面4a、4bにはAgからなる外部電極5が形成されており、該外部電極5は上記内部電極3の一端面3aに電気的に接続されている。また上記焼結体4の表面部分、及び内部にはガラスが拡散されており、これにより漏れ電流の低減を図るとともに、湿度等に対する耐環境性を向上するようにしている。

【0013】そして、上記焼結体4の各内部電極3間に挟まれた部分は電圧非直線特性を発現する半導体セラミクス層2となっており、このセラミクス層2は厚さ20 μ m以下に設定されている。また上記セラミクス層2は、平均粒径10 μ m程度の結晶粒子により構成されており、この中には互いに対向する内部電極3の両方に接触する結晶粒子7が存在している。

【0014】本実施例によれば、対向する内部電極3間にこの両方に接触する結晶粒子7を形成したので、電圧非直線特性を発現する結晶粒子同士の結合界面を少なくして、内部電極3と結晶粒子7との結合界面を増やすことができ、それだけ静電気放電のような高電圧、高圧パルスに対する破壊耐圧を向上できる。ちなみに、従来構造では静電気耐量が10KV程度であったのに対して、本実施例では20KV以上に向上でき、ノイズ対策部品としての信頼性を向上できる。

【0015】次に本実施例の積層型バリスタ1の製造方法について説明する。まず、ZnO (96.5モル%)、Bi

2O₃ (1.0モル%)、Co₂O₃ (1.0モル%)、MnO (1.0モル%)、Sb₂O₃ (0.5モル%)をそれぞれ上記モル比で混合してなるセラミクス粉末に、B₂O₃、SiO₂、及びZnOからなるガラス粉末を1.0重量%加えてセラミクス材料を形成する。この材料を平均粒径が10 μ m程度となるよう粉碎混合してセラミクス原料を調製する。

【0016】上記セラミクス原料にブチラール系の有機バインダを混合し、リバース・ローラ・コート方式により、厚さ20 μ m以下のセラミクスグリーンシートを形成し、これを所定の大きさ、矩形形状に切り出して複数のセラミクス層2を形成する。これにより、このセラミクス層2にはこれの厚さ方向に単独で存在する結晶粒子7が複数個形成されることとなる。また、厚さ50 μ mのグリーンシートを形成し、これを所定の大きさ、矩形形状に切り出してダミーとしてのセラミクス層6を形成する。

【0017】次に、Ptにビヒクルを混合してなる電極ペーストを作成し、このペーストを上記セラミクス層2の上面にスクリーン印刷して内部電極3を形成する。この場合、内部電極3の一端面3aのみがセラミクス層2の外縁に位置し、残りの端面はセラミクス層2の内側に位置するように形成する。

【0018】次に、図2に示すように、上記セラミクス層2と内部電極3とが交互に重なり、かつ各内部電極3の一端面3aがセラミクス層2の両外縁に交互に位置するように積層し、さらにこれの上面、下面にダミー用セラミクス層6を重ねる。次いで、これの積層方向に2ton/cm²の圧力を加えて圧着し、積層体を形成する。この積層体を所定寸法に切断し、これを空気中にて1200℃で3時間焼成して焼結体4を得る。

【0019】次いで、外径50mm ϕ 、内径40mm ϕ 、深さ40mmのアルミナ磁器ボット内に、上記焼結体4を収容するとともに、ホウケイ酸亜鉛ガラス粉末を添加する。この場合、焼結体50gに対してガラス粉末は1gとなるようにする。そして上記ボットを20rpmで回転させながら、上記ガラス粉末の軟化点以上の700℃に加熱し、10分間熱処理を行う。これにより上記焼結体4内にガラスを浸透拡散させる。

【0020】最後に、上記焼結体4の左、右端面4a、4bにAgペーストを塗布し、この後600℃で10分間焼き付けて外部電極5を形成する。これにより本実施例の積層型バリスタ1が製造される。

【0021】

【表1】

No.	シート膜厚	V_{1mA}	α	1 R	V_{15A}	サージ耐量	静電気耐量
1	10 μm	3.9 V	58	1.02 M Ω	5.5 V	150 A	30 KV
2	15 μm	4.0 V	57	1.15 M Ω	5.8 V	135 A	28 KV
3	20 μm	4.3 V	55	1.26 M Ω	6.5 V	120 A	24 KV
4*	25 μm	4.8 V	39	2.30 M Ω	8.2 V	70 A	8 KV
5*	30 μm	5.1 V	36	2.70 M Ω	9.9 V	50 A	5 KV

【0022】表1は、上記製造方法により得られた積層型バリスタ1の効果を確かめるために行った試験結果を示す。この試験は、内部電極3間に挟まれたセラミクス層2の厚さをそれぞれ10 μm 、15 μm 、20 μm に変化させて本実施例試料No. 1～3を作成した。そして、この各試料のバリスタ電圧(V_{1mA})、電圧非直線係数(α)、1 R(M Ω)、制限電圧(V_{15A})、静電気耐量(KV)、及びサージ耐量(A)を測定した。ここで、上記1 Rはバリスタ電圧の50%の電圧を印加したときの抵抗値、また制限電圧は15Aの電流を流したときの外部電極間の電圧値、さらに静電気耐量はIEC801-2にもとづく静電気パルスを1秒間隔で10回印加した後のバリスタ電圧の変化率(ΔV_{1mA})が $\pm 10\%$ 以内となる最大帯電電圧値である。さらにまた、上記サージ耐量はバリスタ素子に8/20 μsec の標準インパルス電流を5分間隔で2回印加した後のバリスタ電圧の変化率(ΔV_{1mA})が $\pm 10\%$ 以内となる最大電流波高値である。また、比較するためにセラミクス層の厚さを25 μm 、30 μm とした従来試料No. 4、5についても同様の測定を行った。

【0023】表1からも明らかなように、比較試料No. 4及び5の場合は、制限電圧比が8.2, 9.9Vと大きく、サージ耐量が70A, 50Aと小さい。また静電気耐量は8, 5KVと小さく、破壊耐圧が低い。これは従来の積層型バリスタは、セラミクス層の厚さ方向における結晶粒子が複数個存在していることから、それだけ結晶粒子同士の結合界面が多くなり、その結果破壊耐圧が低くなっている。これに対して、本実施例試料No. 1～3の場合は、サージ耐量が150～120Aと高く、しかも静電気耐量が30～24KVと高くなっており、破壊耐圧が大幅に向上している。このようにセラミクス層の厚さ方向における結晶粒子の数を1つにして内部電極と結晶粒子との結合界面を多くすることによって、破壊耐圧を向上できることがわか

*る。また、本実施例試料No. 1～3の場合は、バリスタ電圧が3.9V、電圧非直線係数が58～55、制限電圧比が5.5～6.5Vと、従来試料に比べていずれも向上している。

【0024】図3は、上記実施例試料No. 1～3を研磨した後、マーサルエッチングし、これを顕微鏡で観察した結晶粒子の粒子構造を示す図である。図中、3は内部電極、7は結晶粒子である。同図からも明らかなように、本実施例試料のZnO結晶粒子の平均粒径は10.3 μm であり、かつ互いに対向する内部電極3間に両電極に接触するZnO結晶粒子7が存在していることが確認できる。一方、厚さ25, 30 μm の従来試料の場合は、両内部電極に接触する結晶粒子は全く存在していなかった。

【0025】

【発明の効果】以上のように本発明に係る積層型バリスタによれば、内部電極間に、該両内部電極に接触するセラミクス結晶粒子を少なくとも1つ以上存在させたので、静電気放電に対する破壊耐圧を向上でき、ノイズ対策部品として採用する場合の信頼性を向上できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例による積層型バリスタを説明するための断面図である。

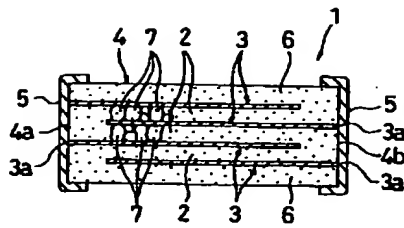
【図2】上記実施例の積層型バリスタの製造方法を示す分解斜視図である。

【図3】上記実施例の内部電極間の粒子構造を示す図である。

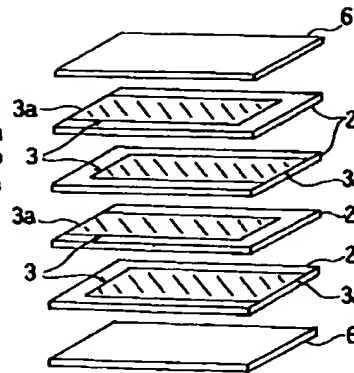
【符号の説明】

- 1 積層型バリスタ
- 2 半導体セラミクス層
- 3 内部電極
- 4 焼結体
- 7 セラミクス結晶粒子

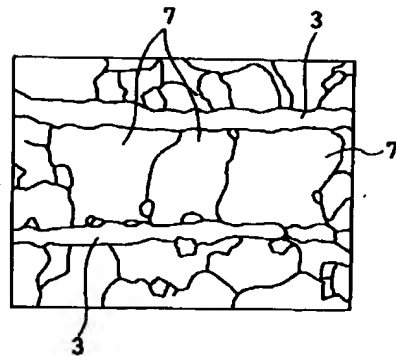
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 坂部 行雄
京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内